

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

JC986 U.S. PTO
09/870585
06/01/01

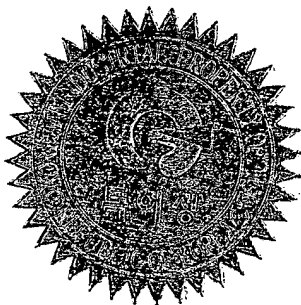
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 36895 호
Application Number

출원년월일 : 2000년 06월 30일
Date of Application

출원인 : 현대전자산업주식회사
Applicant(s)



2000 년 11 월 22 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0008 |
| 【제출일자】 | 2000.06.30 |
| 【발명의 명칭】 | 고속 인터페이스용 장치 |
| 【발명의 영문명칭】 | HIGH SPEED INTERFACE APPARATUS |
| 【출원인】 | |
| 【명칭】 | 현대전자산업주식회사 |
| 【출원인코드】 | 1-1998-004569-8 |
| 【대리인】 | |
| 【성명】 | 강성배 |
| 【대리인코드】 | 9-1999-000101-3 |
| 【포괄위임등록번호】 | 1999-024436-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 박용재 |
| 【성명의 영문표기】 | PARK, Yong Jae |
| 【주민등록번호】 | 701110-1074511 |
| 【우편번호】 | 137-797 |
| 【주소】 | 서울특별시 서초구 잠원동 한신아파트 323동 612호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 주종두 |
| 【성명의 영문표기】 | JOO, Jong Doo |
| 【주민등록번호】 | 730705-1535217 |
| 【우편번호】 | 431-051 |
| 【주소】 | 경기도 안양시 동안구 비산1동 509-1번지 우성아파트 106동 107호 |
| 【국적】 | KR |
| 【취지】 | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 배 (인) 강성 |

【수수료】

| | | | | |
|---------|----|---|--------|---|
| 【기본출원료】 | 14 | 면 | 29,000 | 원 |
|---------|----|---|--------|---|

| | | | | |
|---------|---|---|---|---|
| 【가산출원료】 | 0 | 면 | 0 | 원 |
|---------|---|---|---|---|

| | | | | |
|----------|---|---|---|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
|----------|---|---|---|---|

| | | | | |
|---------|---|---|---|---|
| 【심사청구료】 | 0 | 항 | 0 | 원 |
|---------|---|---|---|---|

| | | | | |
|------|--------|---|--|--|
| 【합계】 | 29,000 | 원 | | |
|------|--------|---|--|--|

| | |
|--------|-------------------|
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |
|--------|-------------------|

【요약서】**【요약】**

본 발명은 고속 인터페이스용 장치에 관한 것으로, 파워소모 및 회로의 면적을 줄이면서 한 클럭 주기에 4 비트의 데이터를 주고 받을 수 있다.

본 발명의 고속 인터페이스용 장치는, 제 1 클럭 신호에 동기되어 커맨드 신호와 어드레스 신호 및 라이트 데이터 신호를 디램으로 전송하는 컨트롤러 수단과, 상기 컨트롤러 수단에서 나온 제 1 클럭 신호와 커맨드 및 어드레스 신호, 데이터 신호를 받아서 동작하며, 라이트 동작시 상기 제 1 클럭 신호와 위상차가 없는 제 2 클럭 신호와 이 제 2 클럭 신호와 90도의 위상차를 갖는 제 3 클럭 신호를 각각 발생하고, 상기 제 1 클럭 신호의 한 주기 동안 입력된 4비트의 데이터를 상기 제 2 및 제 3 클럭 신호에 의해 받아들여 메모리 셀에 저장하고, 리드 동작시 상기 메모리 셀에 저장된 데이터를 상기 제 2 및 제 3 클럭 신호를 이용하여 만든 데이터 스트로브용 신호에 동기시켜 상기 제 1 클럭 신호의 한 주기 동안에 4비트의 데이터를 상기 컨트롤러 수단으로 출력하는 디램 수단을 포함하여 이루어진 것을 특징으로 한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

고속 인터페이스용 장치{HIGH SPEED INTERFACE APPARATUS}

【도면의 간단한 설명】

도 1은 본 발명에 의한 고속 인터페이스용 장치의 시스템 버스 구조를 나타낸 개략도

도 2는 본 발명에 의한 리드 및 라이트 동작시 동작 타이밍도

도 3은 본 발명에 의한 디램 내부의 데이터 입출력 구조를 나타낸 블록도

* 도면의 주요부분에 대한 부호의 설명 *

10 : DLL 회로부 11 : 90도 위상 쉬프트 회로부

12, 13 : 딜레이부 14~21 : 래치부

22 : 라이트 드라이버부 23 : 메모리 어레이부

24 : 리드 센스 앰프부 100 : 컨트롤러

200 : 디램

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 고속 인터페이스용 장치에 관한 것으로, 특히 한 클럭(CLOCK) 주기에 4 비트의 데이터를 주고 받을 수 있는 고속 인터페이스용 장치에 관한 것이다.

<11> 일반적으로, 다이렉터 램버스 디램(Direct Rambus DRAM)이나 싱크 링크 디램

(Sync Link DRAM)과 같은 고속 디램은 종래형에 비해 기술면에서 급격하게 혁신되어 디램만이 아니라 시스템 전반에 걸친 큰 변화가 요구되며 모든 메모리 시장에 전반적으로 사용되기에는 무리가 있다. 따라서 이미 개발된 디램에 새로운 개념을 도입하는 점진적 개선을 통한 고속 디램의 개발이 더욱 현실적이며 구체적이라는 인식이 확산되고 있다. 이러한 시도 중 JEDEC을 비롯한 표준 심의 기구에서 최근 가장 활발하게 논의되는 DDR(Double Data Rate) 에스디램(SDRAM)의 설계가 현재 많은 회사에서 시도되고 있다. 이 SDRAM은 100 MHz 클럭의 라이징 에지(rising edge)에서만 아니라 폴링 에지(falling edge)에서도 데이터나 명령이 동기되어 입출력될 수 있는 소자이다. 따라서 100 MHz 클럭으로 200 MHz 클럭에 대응하는 데이터 비틀 연을 수가 있다. 결국 외부의 100 MHz의 클럭을 받아서 내부에서 200 MHz의 클럭을 생성한다는 뜻인데 이 경우 클럭의 듀티(duty)가 정확히 50%이어야만 이러한 주파수 2배수화가 용이하다.

- <12> 종래의 DDR SDRAM은 각 DQ 패드당 한 주기의 클럭에 2비트의 데이터를 전달하는 방식이다. 그리고, 종래의 DDR SDRAM은 라이트 동작시 디램에서 컨트롤러로 데이터를 스트로브 신호(DQS)에 동기시켜 전달하기 위한 DQS 라이트용 출력 드라이버 회로를 별도로 필요로 한다. 따라서, 회로의 면적이 그 만큼 커지게 되며 파워 소모도 증가하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <13> 따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 파워소모 및 회로의 면적을 줄이면서 한 클럭 주기에 4 비트의 데이터를 주고 받을 수 있는 고속 인터페이스용 장치를 제공하는데 있다.

- <14> 상기 목적을 달성하기 위하여, 본 발명의 고속 인터페이스용 장치는,

- <15> 제 1 클럭 신호에 동기되어 커맨드 신호와 어드레스 신호 및 라이트 데이터 신호를 디램으로 전송하는 컨트롤러 수단과,
- <16> 상기 컨트롤러 수단에서 나온 제 1 클럭 신호와 커맨드 및 어드레스 신호, 데이터 신호를 받아서 동작하며, 라이트 동작시 상기 제 1 클럭 신호와 위상차가 없는 제 2 클럭 신호와 이 제 2 클럭 신호와 90도의 위상차를 갖는 제 3 클럭 신호를 각각 발생하고, 상기 제 1 클럭신호의 한 주기 동안 입력된 4비트의 데이터를 상기 제 2 및 제 3 클럭 신호에 의해 받아들여 메모리 셀에 저장하고, 리드 동작시 상기 메모리 셀에 저장된 데이터를 상기 제 2 및 제 3 클럭 신호를 이용하여 만든 데이터 스트로브용 신호에 동기시켜 상기 제 1 클럭 신호의 한 주기 동안에 4비트의 데이터를 상기 컨트롤러 수단으로 출력하는 디램 수단을 포함하여 이루어진 것을 특징으로 한다.

【발명의 구성 및 작용】

- <17> 이하, 본 발명의 실시예에 관하여 첨부도면을 참조하면서 상세히 설명한다.
- <18> 또, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 사용하고 그 반복적인 설명은 생략한다.
- <19> 본 발명은 고속으로 동작하는 메모리에 응용이 가능한 데이터 입출력 구조를 가지는 에스디램(SDRAM)과 그것을 지원하기 위한 시스템 버스 구조에 대한 것으로, 우선 데이터 입출력 구조에 대해 첨부도면을 참조하여 설명한다.
- <20> 도 1은 본 발명에 의한 고속 인터페이스용 장치의 시스템 버스 구조를 나타낸 것이다.
- <21> CCLK 클럭에 동기되어 커맨드 신호와 어드레스 신호 및 라이트 데이터 신호를 디

램으로 전송하는 컨트롤러(100)와, 상기 컨트롤러(100)에서 나온 CCLK 클럭과 커맨드 및 어드레스 신호, 데이터 신호를 받아서 동작하며, 라이트(write)시 상기 CCLK 클럭을 내부 DLL 회로(도 3에 도시함)를 거쳐 록킹된 클럭 신호 및 이 클럭 신호와 90도의 위상차를 갖는 클럭 신호를 발생하고 여기서 발생된 클럭 신호에 의해 CCLK 클럭의 한 주기에 들어오는 4비트의 데이터를 받아들여 메모리 어레이에 있는 셀에 저장하고, 리드(read)시 메모리 어레이에서 읽은 데이터를 상기 내부 DLL 회로에서 발생된 록킹된 클럭 신호 및 이 클럭 신호와 90도의 위상차를 갖는 클럭 신호에 동기시켜 클럭의 한 주기에 4비트의 데이터를 데이터 스트로브용 신호인 DQS 0, 1과 함께 출력시키는 디램(DRAM)으로 구성된다. 이때, 라이트시에는 상기 CCLK 클럭에 동기되어 데이터가 컨트롤러(100)에서 디램(200)으로 전달되고, 리드시에는 디램(200)에서 발생되어지는 DQS 0, 1 신호에 동기되어 데이터가 디램(200)에서 컨트롤러(100)로 전달되어 진다.

<22> 우선, CCLK 클럭은 컨트롤러(100)에서 디램(200)으로 들어가는 클럭이고, 이 클럭에 동기되어 어드레스와 커맨드 신호들, 그리고 데이터가 컨트롤러(100)에서 디램(200)으로 전달된다.

<23> 그리고, DQS0와 DQS1 클럭은 디램(200)에서 컨트롤러(100)쪽으로 전달되는 간헐적으로 동작하는 데이터 스트로브용 클럭 신호이다.

<24> 디램(200)에 라이트(write)를 할 경우 컨트롤러(100)는 CCLK 클럭에 동기하여 라이트 데이터를 디램(200)쪽으로 보내주게 되고, 리드(read)시에는 DQS0, 1 신호에 동기하여 데이터를 디램(200)에서 컨트롤러(100)로 보내주게 된다.

<25> 도 2는 본 발명에 의한 리드 및 라이트 동작시 동작 타이밍도를 나타낸 것이다.

- <26> 도시된 바와 같이, 라이트 동작시에는 CCLK 클럭에 동기되어 데이터가 컨트롤러(100)로부터 디램(200)으로 전달되고, 리드 동작시에는 DQS0, 1에 동기되어 데이터가 디램(200)에서 컨트롤러(100)로 전달된다. 여기서, DQS0 신호와 DQS1 신호는 서로 90도의 위상차가 나는 신호들이다.
- <27> 상기 타이밍도에서 보는 바와 같이, 데이터가 한 주기의 클럭에 4비트가 전달되므로, 기존의 DDR SDRAM에서와 같이 한 주기의 클럭에 2비트가 전달되는 방식에 비해서 2배의 데이터 전달 속도를 가진다.
- <28> 도 3은 본 발명에 의한 디램 내부의 데이터 입출력 구조를 나타낸 블록도이다.
- <29> 도면에 의하면, 컨트롤러(100)로부터 CCLK 클럭 및 CCLKB 클럭을 입력하는 버퍼(BF1)와, 상기 버퍼(BF1)를 통해 컨트롤러(100)로부터 들어온 CCLK 클럭을 입력하여 이것을 내부에서 딜레이 록킹시킨 내부클럭신호(tclk, tclkb)를 발생하는 DLL 회로부(10) 및 버퍼(BF3)와, 상기 DLL 회로부(10)로부터 발생된 내부클럭신호(tclk)를 입력하여 이 내부클럭신호와 90도의 위상차를 갖는 내부클럭신호(tclk90, tclk90b)를 발생하는 90도 위상 쉬프트 회로부(11) 및 버퍼(BF2)와, 상기 내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 라이트 동작시 DQ 패드와 입력 버퍼(BF6)를 통해 들어온 라이트 데이터를 각각 저장하는 다수개의 래치부(14~21)와, 상기 내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 라이트 동작시 상기 래치부(14~21)에 저장된 라이트 데이터를 메모리 어레이부(23)의 셀로 저장하는 라이트 드라이버부(22)와, 상기 메모리 어레이부(23)의 셀에 저장된 데이터를 리드 동작시 감지 증폭하는 리드 센스 앰프부(24)와, 상기 내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 리드 동작시 상기 리드 센스 앰프부(24)에 의해 센싱된 리드 데이터를 저장하는 상기 다수개의 래치부(14~21)와, 상기

내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 리드 동작시 상기 다수개의 래치부(14~21)에 저장된 리드 데이터를 래치된 순서대로 시리얼(serial)하게 클럭의 1/4 주기마다 상기 DQ 패드로 내보내는 출력 버퍼(BF7)와, 상기 내부클럭신호(tclk)를 입력으로 하여 상기 DQ 패드로 출력되는 데이터와 동기된 DQS0 신호를 출력하는 딜레이부(12) 및 버퍼(BF4)와, 상기 내부클럭신호(tclk90)를 입력으로 하여 상기 DQ 패드로 출력되는 데이터와 동기된 DQS1 신호를 출력하는 딜레이부(13) 및 버퍼(BF5)로 구성된다.

<30> 컨트롤러(100)에서 들어오는 CCLK 클럭신호를 받은 디램(200)은 이 클럭을 마스터 클럭으로 사용하게 된다. 상기 컨트롤러(100)로부터 들어 온 CCLK 클럭은 버퍼(BF1)를 통해 DLL 회로부(10)로 입력된다.

<31> 상기 DLL 회로부(10)에서는 입력 클럭신호인 CCLK 클럭과 딜레이 차이가 없는 딜레이가 록킹(locking)된 tclk 클럭신호를 발생한다. 그리고, 버퍼(BF3)는 상기 tclk 클럭신호를 입력하여 tclkb 신호를 출력한다.

<32> 또한, 90도 위상 쉬프트 회로부(11)와 버퍼(BF2)에 의해 상기 tclk 및 tclkb 클럭신호와 90도 위상차이가 나는 tclk90, tclkb90 신호를 각각 발생한다.

<33> 그러면, 라이트 동작시 디램(200) 내부회로의 동작에 대해 설명한다.

<34> 우선, 컨트롤러(100)로부터 CCLK 클럭에 동기된 데이터를 라이트 커맨드 신호와 함께 받게 되면, 디램(200) 내부의 DLL 회로부(10)를 거쳐 딜레이 록킹된 상기 tclk 및 tclkb 클럭신호와 90도 위상차이가 나는 tclk90, tclkb90 클럭신호를 각각 발생한다. 상기 tclk 및 tclkb 클럭신호와 tclk90, tclkb90 클럭신호에 의해 DQ 패드와 입력버퍼(BF6)를 통해 입력된 라이트 데이터를 다수개의 래치부(14~21)에 각각 래치하게 된다.

그리고, 래치된 라이트 데이터는 IO 버스를 거쳐 라이트 드라이버부(22)에 전달되며, 그 후 메모리 어레이부(23)에 있는 메모리 셀들에 저장되게 된다.

<35> 리드 동작시에는 컨트롤러(100)로부터 리드 커맨드 신호가 들어오면, 메모리 어레이의 셀에 저장된 데이터를 리드 센스 앰프부(24)에서 센싱한 후, 상기 tclk 및 tclkb 클럭신호와 tclk90, tclkb90 클럭신호에 의해 다수개의 래치부(14~21)에 각각 래치하게 된다. 그리고, 래치된 리드 데이터는 래치된 순서대로 시리얼하게 데이터 출력버퍼(BF7)와 DQ 패드를 통해 클럭의 1/4 주기마다 내보내게 된다. 그리고, 이 데이터와 동기하여 tclk, tclk90 신호를 이용한 DQS0와 DQS1 신호를 같이 내보내주게 된다. 이런 방식으로 각 DQ 패드당 한 클럭 주기에 4비트의 데이터를 주고 받을 수 있다.

【발명의 효과】

<36> 이상에서 설명한 바와 같이, 본 발명에 의한 고속 인터페이스용 장치에 의하면, 각 DQ 패드당 한 클럭 주기에 4비트의 데이터를 주고 받음으로써 낮은 클럭 주파수에서도 높은 데이터 입출력 효율을 가질 수 있다.

<37> 그리고, 라이트시에 CCLK 클럭을 이용하여 데이터를 받게 되는데 CCLK 클럭을 받아 디램 내부에서 DLL 회로부(10)를 통해 딜레이 록킹된 신호를 만들고, 또한 DLL 회로부(10)를 통해 정확히 90도 위상차를 가지는 클럭 신호를 만들 수 있기 때문에 이 내부 클럭신호를 가지고 컨트롤러(100)로부터 들어오는 데이터를 보다 정확하게 받을 수 있다.

<38> 또한, 라이트시에 DDR SDRAM에서 처럼 DQS 신호를 사용하지 않기 때문에 컨트롤러(100)에 별도로 DQS 라이트용 출력드라이버를 설치할 필요가 없기 때문에 회로의 면적

을 줄일 수 있고, 파워 소모를 줄일 수 있다.

<39> 아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

반도체 메모리 장치에 있어서,

제 1 클럭 신호에 동기되어 커맨드 신호와 어드레스 신호 및 라이트 데이터 신호를 디램으로 전송하는 컨트롤러 수단과,

상기 컨트롤러 수단에서 나온 제 1 클럭 신호와 커맨드 및 어드레스 신호, 데이터 신호를 받아서 동작하며, 라이트 동작시 상기 제 1 클럭 신호와 위상차가 없는 제 2 클럭 신호와 이 제 2 클럭 신호와 90도의 위상차를 갖는 제 3 클럭 신호를 각각 발생하고, 상기 제 1 클럭신호의 한 주기 동안 입력된 4비트의 데이터를 상기 제 2 및 제 3 클럭 신호에 의해 받아들여 메모리 셀에 저장하고, 리드 동작시 상기 메모리 셀에 저장된 데이터를 상기 제 2 및 제 3 클럭 신호를 이용하여 만든 데이터 스트로브용 신호에 동기시켜 상기 제 1 클럭 신호의 한 주기 동안에 4비트의 데이터를 상기 컨트롤러 수단으로 출력하는 디램 수단을 포함하여 이루어진 것을 특징으로 하는 고속 인터페이스용 장치.

【청구항 2】

제 1 항에 있어서,

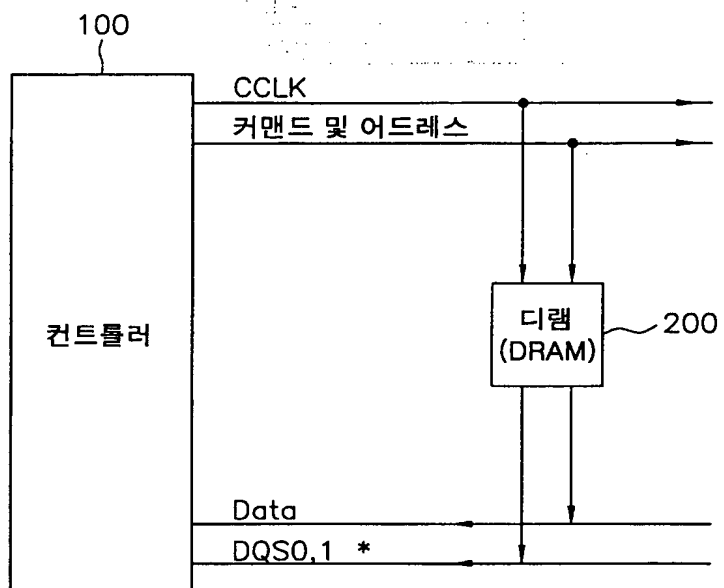
상기 디램 수단은,

컨트롤러(100)로부터 CCLK 클럭 및 CCLKB 클럭을 입력하는 버퍼(BF1)와, 상기 버퍼(BF1)를 통해 컨트롤러(100)로부터 들어온 CCLK 클럭을 입력하여 이것을 내부에서 딜레이 록킹시킨 내부클럭신호(tclk, tclkb)를 발생하는 DLL 회로부(10) 및 버퍼(BF3)와,

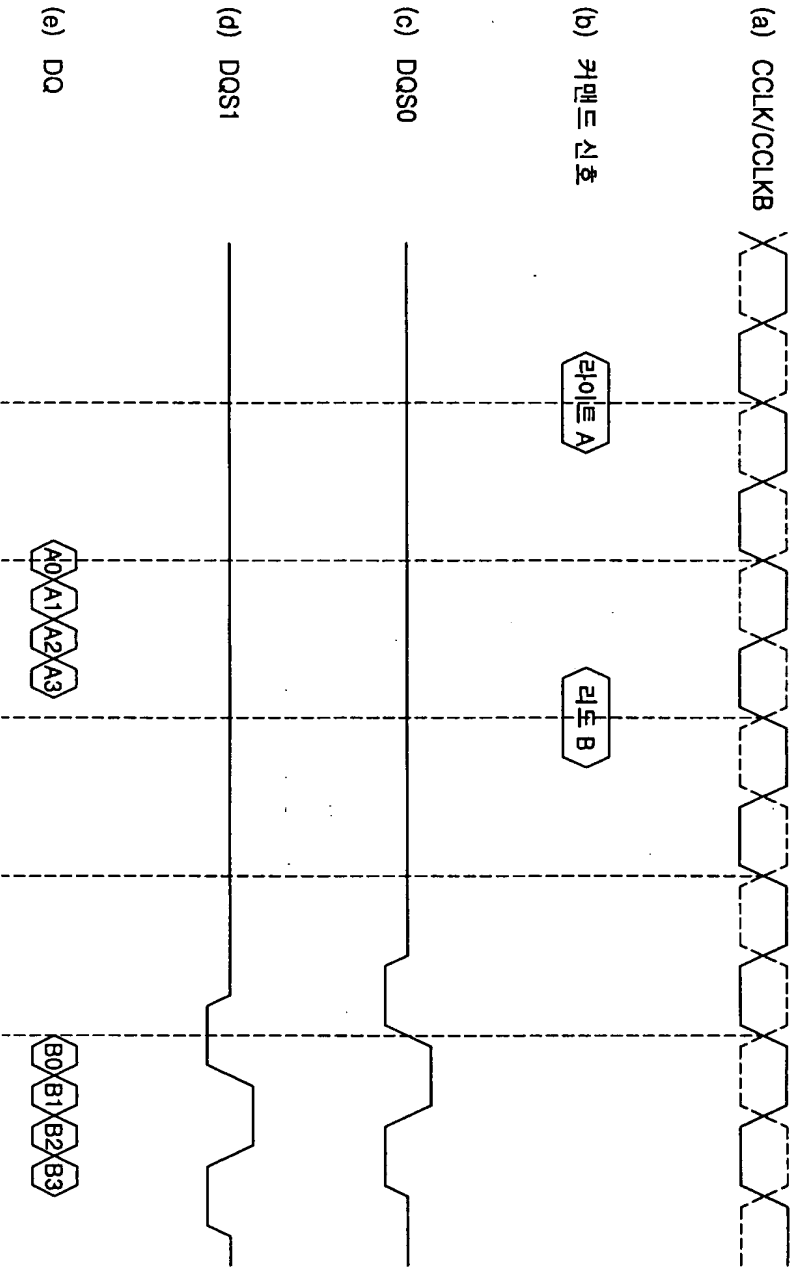
상기 DLL 회로부(10)로부터 발생된 내부클럭신호(tclk)를 입력하여 이 내부클럭신호와 90도의 위상차를 갖는 내부클럭신호(tclk90, tclk90b)를 발생하는 90도 위상 쉬프트 회로부(11) 및 버퍼(BF2)와, 상기 내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 라이트 동작시 DQ 패드와 입력 버퍼(BF6)를 통해 들어온 라이트 데이터를 각각 저장하는 다수개의 래치부(14~21)와, 상기 내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 라이트 동작시 상기 래치부(14~21)에 저장된 라이트 데이터를 메모리 어레이부(23)의 셀로 저장하는 라이트 드라이버부(22)와, 상기 메모리 어레이부(23)의 셀에 저장된 데이터를 리드 동작시 감지 증폭하는 리드 센스 앰프부(24)와, 상기 내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 리드 동작시 상기 리드 센스 앰프부(24)에 의해 센싱된 리드 데이터를 저장하는 상기 다수개의 래치부(14~21)와, 상기 내부클럭신호(tclk, tclkb, tclk90, tclk90b)에 의해 리드 동작시 상기 다수개의 래치부(14~21)에 저장된 리드 데이터를 래치된 순서대로 시리얼(serial)하게 클럭의 1/4 주기마다 상기 DQ 패드로 내보내는 출력 버퍼(BF7)와, 상기 내부클럭신호(tclk)를 입력으로 하여 상기 DQ 패드로 출력되는 데이터와 동기된 DQS0 신호를 출력하는 딜레이부(12) 및 버퍼(BF4)와, 상기 내부클럭신호(tclk90)를 입력으로 하여 상기 DQ 패드로 출력되는 데이터와 동기된 DQS1 신호를 출력하는 딜레이부(13) 및 버퍼(BF5)를 포함하여 이루어진 것을 특징으로 하는 고속 인터페이스용 장치.

【도면】

【도 1】



【도 2】



【도 3】

